

中华人民共和国国家标准

GB/T 36614-2018

集成电路 存储器引出端排列

Integrated circuits—Memory devices pin configuration

(IEC 61964:1999, MOD)

2018-09-17 发布 2019-01-01 实施

目 次

前	言:		Γ
1	范	围	1
2	规范	范性引用文件	1
3	术ì	语和定义、符号	1
	3.1	术语和定义	1
	3.2	符号	5
4	引出	出端排列	6
	4.1	集成电路动态读写存储器	6
	4.2	集成电路同步动态读写存储器	6
	4.3	集成电路静态存储器	6
	4.4	集成电路电可擦除可编程只读存储器	6

前 言

本标准按照 GB/T 1.1-2009 给出的规则起草。

本标准使用重新起草法修改采用 IEC 61964:1999《集成电路 存储器引出端排列》。

本标准与 IEC 61964:1999 的技术性差异及其原因如下:

- ——关于规范性引用文件,本标准做了具有技术性差异的调整,以适应我国的技术条件,调整的情况集中反应在第2章"规范性引用文件"中,具体调整如下:
 - 用 GB/T 9178—1988 代替了 IEC 60748;
 - 用等同采用国际标准的 GB/T 16464—1996 代替了 IEC 60748-1:1984;
 - 增加引用了 GB/T 7092—1993。
- ——关于术语、定义和符号,具体调整如下:
 - 引用了标准 GB/T 9178—1988 界定的术语和定义;
 - 增加了术语和定义"或非型快闪存储器(见 3.1.3.9)"、"与非型快闪存储器(见 3.1.3.10)"、 "双列直插封装(3.1.5.3)"、"无引出端芯片封装"(见 3.1.5.9)、"薄型双侧扁平无引出端封 装"(见 3.1.5.7)、"小外形封装"(见 3.1.5.6)、"小外形集成电路封装"(见 3.1.5.4);
 - 将符号单列到 3.2。
- ——增加了表8和表9。

本标准做了下列编辑性修改:

——表 1~表 7 中的器件长度和引出端节距的单位修改成国际制单位。

请注意本文件的某些内容可能涉及专利。本文件的发布机构不承担识别这些专利的责任。

本标准由中华人民共和国工业和信息化部提出。

本标准由全国半导体器件标准化技术委员会(SAC/TC 78)归口。

本标准起草单位:工业和信息化部电子第五研究所、深圳市国微电子股份有限公司、中科院微电子所。

本标准主要起草人:来萍、师谦、雷登云、刘妙、何春华、腾瑞、侯波、恩云飞。

集成电路 存储器引出端排列

1 范围

本标准规定了半导体集成电路存储器的引出端排列。

本标准适用于半字节动态存储器、字宽动态存储器、字节宽动态存储器、半字节同步动态存储器、字节宽同步动态存储器、字宽同步动态存储器的引出端排列。

2 规范性引用文件

下列文件对于本文件的应用是必不可少的。凡是注日期的引用文件,仅注日期的版本适用于本文件。凡是不注日期的引用文件,其最新版本(包括所有的修改单)适用于本文件。

- GB/T 7092-1993 半导体集成电路外形尺寸
- GB/T 9178-1988 集成电路术语
- GB/T 16464—1996 半导体器件 集成电路 第1部分:总则(idt IEC 60748-1:1984)

3 术语和定义、符号

3.1 术语和定义

GB/T 9178—1988 界定的以及下列术语和定义适用于本文件。

3.1.1 器件引出端

3.1.1.1

地址输入 address inputs; A(n)

输入选取存储阵列上某个或一系列存储单元,用于存储数据或者将保存的数据发送到器件输出。 整数 n 用于区分不同地址输入。

3.1.1.2

地址锁存器允许 address latch enable; AL, AL\

控制引出端输入信号,为真时地址输入可以写入寄存器,为假时前一次输入的输入地址状态被锁存。

3.1.1.3

存储块地址 bank address: BA

控制引出端,在具有多个存储块结构的读写存储器 RAM 里面使用储存块地址,在任何时间会选定可用存储块中的一个。

3.1.1.4

列地址 column address; CA

控制引出端,在一个复用的动态存储器 DRAM,由列允许时钟(CAS)触发得到的地址。

3.1.1.5

列允许 column enable; CAS, CAS\

允许信号,在某些动态存储器 DRAM 里激发列有关的内部电路和数据输入/输出电路。器件要求RAS\信号出现时,CAS\才会有效。在一些新型器件里面,RAS\信号和 CAS\信号特定的序列会激发